

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-81048

(24) (44)公告日 平成6年(1994)10月12日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M	1/14	A 9065-5 J		
	1/36	9065-5 J		

発明の数 1 (全 7 頁)

(21)出願番号	特願昭59-52150
(22)出願日	昭和59年(1984)3月21日
(65)公開番号	特開昭60-197018
(43)公開日	昭和60年(1985)10月5日

(71)出願人	999999999
	株式会社日立製作所
	東京都千代田区神田駿河台4丁目6番地
(71)出願人	999999999
	株式会社日立マイコンシステム
	東京都小平市上水本町5丁目22番1号
(72)発明者	塚田 敏郎
	東京都国分寺市東恋ヶ窪1丁目280番地
	株式会社日立製作所中央研究所内
(72)発明者	中谷 裕一
	東京都小平市上水本町1479番地 日立マイ
	クロコンピュータエンジニアリング株式会
	社内
(74)代理人	弁理士 小川 勝男 (外1名)

審査官 内田 正和

最終頁に続く

(54)【発明の名称】 A/D変換器

1

【特許請求の範囲】

【請求項1】基準電圧を抵抗分割した複数の第1の分圧電圧を発生し、該複数の第1の分圧電圧のそれぞれをさらに抵抗分割することにより複数の第2の分圧電圧を発生する分圧電圧発生回路と、

上記分圧電圧発生回路から発生された上記複数の第1の分圧電圧と共通入力電圧とを比較することにより比較結果を出力する複数の第1の比較器と、

上記複数の第1の比較器の比較出力を符号化する第1の符号化回路と、

上記複数の第1の比較器の比較結果にもとづいて上記分圧電圧発生回路の上記複数の第2の分圧電圧のうちから選択された一群の第2の分圧電圧を選択する選択回路と、

上記選択回路で選択された上記選択された一群の第2の

2

分圧電圧と上記共通入力電圧とを比較する複数の第2の比較器と、

上記複数の第2の比較器の比較出力を符号化する第2の符号化回路とを含むA/D変換器において、

上記複数の第1の比較器のそれぞれは第1の信号増幅器と該第1の信号増幅器の入力端子に接続された第1のスイッチおよび第1の容量と、共通入力電圧又は選択された第1の分圧電圧を選択する第1の入力選択スイッチを含み、第1のタイミングで上記第1のスイッチを導通状態とすることにより上記第1の信号増幅器の上記入力端子の電位を所定の電位に設定するとともに上記複数の第1の分圧電圧の対応するひとつの第1の分圧電圧を第1の容量側に上記第1の入力選択スイッチを接続し、上記第1の容量を充電し、第2のタイミングで上記第1のスイッチを非導通状態とするとともに上記第1の入力選択

10

スイッチを切換えて上記第1の容量を介して上記共通入力電圧を接続し、上記第1の信号増幅器の上記入力端子の上記電位を変化するものであり、

上記複数の第2の比較器のそれぞれは第2の信号増幅器と該第2の信号増幅器の入力端子に接続された第2のスイッチおよび第2の容量と、共通入力電圧又は選択された第2の分圧電圧を選択する第2の入力選択スイッチを含み、上記第2のタイミングで上記第2のスイッチを導通状態とすることにより上記第2の信号増幅器の上記入力端子の電位を所定の電位に設定するとともに上記第2の入力選択スイッチを切換えて上記共通入力電圧に接続し上記第2の容量を充電し、上記第1のタイミングで上記第2のスイッチを非導通状態とするとともに上記一群の第2の分圧電圧の対応するひとつの第2の分圧電圧を上記第2の容量に上記第2の入力選択スイッチを切換えて接続し、上記第2の信号増幅器の上記入力端子の上記電位を変化するものであることを特徴とするA/D変換器。

#### 【発明の詳細な説明】

#### 【発明の利用分野】

本発明はA/D変換器に係り、特に集積回路化に好適な並列形A/D変換器に関する。

#### 【発明の背景】

高速なA/D変換を達成する並列形A/D変換器は回路規模がビット数に対して指数関数的に増加するので、直並列形に属する第1図のようなA/D変換器が回路も簡素化できて集積回路化に適している（特開昭57-131123号公報）。

このA/D変換器は入力電圧 $V_{in}$ を、3つのコンパレータ10で抵抗分割された基準電圧 $V_{REF}$ の各分圧電圧と比較し、エンコーダ18を介して上位2ビット $D_U$ を決定するとともに、この結果に基づいて4つのスイッチ群12~15の1つを選択してオンし、3つのコンパレータ11により選択された基準分圧電圧と $V_{in}$ と比較し、エンコーダ19を介して下位2ビット $D_L$ を決定する。4ビットを例としたこの変換器は、15の基準分圧電圧と入力電圧 $V_{in}$ の比較を15個の各コンパレータで同時に比較する完全な並列形A/D変換器と違って、3個のコンパレータで上位2ビットを決定した後、他の3個のコンパレータで下位2ビットを決定する。一般に $2n$ ビットのA/D変換では $2^n-1$ 個のコンパレータで上位 $n$ ビット、他の $2^n-1$ 個のコンパレータで下位 $n$ ビットを決定する。したがって所要コンパレータ数は $2^{n+1}-2$ 個となり、完全並列形の場合 $2^{2n}$ 個に比べて著しく少ない。例えば10（ $n=5$ ）ビットの場合は完全並列形の場合の1024個に対し、62個のコンパレータがあればよい。

ところで第1図のA/D変換器は上位ビットと下位ビットの決定に別々のコンパレータ群を用い別々のタイミングで比較動作を行なわせるため、両者の間に回路差や時間差に起因する比較動作上のミスマッチが生じる可能性が

10

20

30

40

ある。例えば $V_{in}$ が基準分圧電圧 $V_{R1}$ が接近した場合に、本来一定であるべきコンパレータ10(a)の出力が変動して下位ビットの変換中に選択されたスイッチ群（例えば12）が隣りのスイッチ群（例えば13）に切り替つて誤りが発生する場合がある。また集積回路における上位コンパレータ10と下位コンパレータ11の配置の違いや比較時刻の違いにより、上位ビットの比較結果で選択されたスイッチ群（例えば12）が適切でなく、隣りのスイッチ群（例えば13）が下位ビットの比較に用いられるべきなどの場合がある。これらは直並列形に属する従来のA/D変換器に特有な問題であり、変換器にしばしば誤動作を与えたり、変換精度を劣化させる要因であつた。

#### 【発明の目的】

本発明の目的は上記の問題点を解決し、上位ビットと下位ビット変換における回路動作上のミスマッチを防ぎ、高精度で誤動作の起きない直並列形の集積回路化A/D変換器を提供することにある。

#### 【発明の概要】

上記の目的を達成するために本発明では、コンパレータにサンプル・ホールド機能のある電荷平衡形コンパレータを用い、上位ビットの変換結果を保持するラッチを設けて下位ビット変換におけるスイッチ群を安定に選択するとともに、下位ビット変換に用いるコンパレータを若干増設して比較すべき基準分圧電圧の範囲を上下に拡張することにより、前記のミスマッチをカバーする回路構成とした。これにより高精度で安定な直並列形の集積回路化A/D変換器を実現できることがあきらかとなつた。

#### 【発明の実施例】

以下、本発明を実施例を用いて詳細に説明する。

第2図、特にその(a)の部分は本発明のA/D変換器の回路構成を示す図である。簡単のため分解能4ビットを例とした。本質的にサンプル・ホールド機能のある電荷平衡形MOSコンパレータ16,17を上位、下位ビットの変換にそれぞれ用い、16個の抵抗 $R_1 \sim R_{16}$ からなる基準電圧 $V_{REF}$ の分圧回路の各端子電圧と入力電圧 $V_{in}$ と比較する。上位コンパレータ群16と下位コンパレータ群17の比較結果はそれぞれエンコーダ18とエンコーダ19により上位ビット $D_U$ 、下位ビット $D_L$ に変換される。またラッチ20は上位ビットの比較結果を保持し、この保持データにより4つのスイッチ群12~15の1つが選択され、下位ビットの比較変換が行なわれる。

本A/D変換器の動作は第2図(a)及び(b)に図示のように互いに逆相のクロック

$\phi, \bar{\phi}$

によつて制御される。まず $\phi$ （Highレベル）によつて電荷平衡形コンパレータ16のインバータ21の入出力を短絡するとともに基準分圧電圧を各キャパシタCに入力する。つぎに

5

 $\sim$   
 $\phi$ 

(Highレベル) によつて電荷平衡形コンパレータ16のインバータ21の入出力を開放した後、入力スイッチSW1を切り換えて入力電圧 $V_{in}$ を各キャパシタCに入力する。この結果コンパレータ16は基準分圧電圧と入力電圧 $V_{in}$ との比較を行ない、比較出力はエンコーダ18を介して上位2ビットのデジタル値 $D_u$ に変換される。また比較出力は同時にデコーダ18を介して所定のデータ $D_{SEL}$ に変換され次のクロック $\phi$ によりラッチ20に格納される。一方電荷平衡形コンパレータ17は

 $\sim$   
 $\phi$ 

(Highレベル) によつてインバータ22の入出力を短絡するとともに各キャパシタCに入力電圧 $V_{in}$ を入力する。つぎに $\phi$  (Highレベル) によつてコンパレータ17のインバータ22の入出力を開放した後、入力スイッチSW2を切り換えて基準分圧電圧を各キャパシタに入力する。このとき、ラッチ20の格納データ $D_{SEL}$ によつて4つのスイッチ群12~15の1つが駆動され対応した基準分圧電圧が選択される。ただし、この選択される基準分圧電圧は、コンパレータ群16に印加される基準分圧電圧の分圧ステップをさらに細かく分圧した電圧である。この結果コンパレータ17の比較出力はエンコーダ19を介して下位2ビットのデジタル値 $D_L$ に変換される。

電荷平衡形コンパレータは本質的にサンプル・ホールド機能を内蔵しているため、上位ビットと下位ビットの変換において同一のサンプル入力電圧 $V_{in}$ がそれぞれ比較される。上位ビットの変換結果はラッチ20によつて保持されるため、下位ビットの変換においては安定にスイッチ群(12~15)の一つが選択され、従来A/D変換器(第1図)で問題となつた誤動作は防止される。また本発明のA/D変換器は第2図(a)の実施例について、動作をより詳しく見ると、上位ビットの変換を行うためのコンパレータ群16は、クロック $\phi$ の立ち下がり時点の基準分圧電圧をキャパシタにホールドし、これに続くクロック

 $\sim$   
 $\phi$ 

がHighの期間中入力電圧 $V_{in}$ とホールドされた基準分圧電圧を比較する点、その比較結果によるエンコーダ出力は次のクロック $\phi$ の立ち上がりに時点でラッチされる点、および下位ビットの変換を行うためのコンパレータ群17は、クロック

 $\sim$   
 $\phi$ 

の立ち下がり時点で入力電圧 $V_{in}$ をホールドし、これに続くクロック $\phi$ がHighの期間中にホールドされた入力電圧 $V_{in}$ とラッチされたエンコーダ出力で選択される細かい基準分圧電圧とを比較する点に実施例の回路の特徴がある。このように、コンパレータ群16と17とでは、比較

6

期間(コンパレータを電荷平衡形アンプと見ると増幅期間)は互いに半周期ずれているが、前者は各基準分圧電圧を、後者は入力電圧をホールドする。ラッチ20のラッチ動作(クロック $\phi$ の立ち上がり)とコンパレータ群17のサンプル動作(クロック

 $\sim$   
 $\phi$ 

の立ち下がり)とはほぼ同じ時点なので、上位ビットの変換結果による細かい基準分圧電圧の選択にかかわる入力電圧と、下位ビットの変換結果を決める入力電圧とはほぼ同一時点の入力電圧となる。このような動作により、本実施例のA/D変換器は従来問題となつた誤動作が生じないとともに、クロック $\phi$ の周波数でA/D変換を実行できる。したがつて15個の電荷平衡形コンパレータで同時に入力電圧 $V_{in}$ との比較を行なう4ビットの完全並列形A/D変換器に対しその変換速度は同じであり、高速なA/D変換器が実現できる。コンパレータ数も著しく減少し、回路構成も簡単であるから集積回路化にも好適である。

第3図は本発明のA/D変換器の他の実施例を示す図である。第2図と同様に電荷平衡形コンパレータ16、17、基準電圧 $V_{REF}$ の抵抗分圧回路( $R_1 \sim R_{16}$ )、エンコーダ18、19、スイッチ群23~26、ラッチ20と論理回路27から構成される。このうちスイッチ群23~26は各々4つのスイッチが追加されて7つのスイッチから構成され、下位ビットの変換に用いられるコンパレータ17も4個追加されて7個のコンパレータとなつている。エンコーダ19はこれらのコンパレータ17の比較結果を入力し、3ビットの下位データ $D'_L$ を出力する。上位2ビットの変換データ $D_u$ と下位データ $D'_L$ は論理回路27に入力されて処理され、4ビットのデジタル変換値Dが得られる。

本A/D変換器の動作は互いに逆相なクロック

 $\phi, \sim \phi$ 

によつて第2図と同様に制御され、上位ビットと下位ビットの変換が交互に行なわれ、入力電圧 $V_{in}$ のデジタル変換値Dが得られる。下位ビットの変換では比較される基準分圧電圧の範囲が上下に拡張されているため、上位ビットの変換回路と下位ビットの変換回路の多少のミスマッチは救済され、正しい変換結果を得ることができる。例えば上位コンパレータ16の精度が粗いために、正しくはスイッチ群24を選択すべきところをスイッチ群23が選択されてしまったとする。この場合でも入力電圧 $V_{in}$ が $P_1$ 点の端子電圧以下であればスイッチ群23によつて選択された基準分圧電圧と入力電圧 $V_{in}$ の比較は有効になされ、正しいデジタル変換値を得ることができる。この場合、本来2ビットであるべき下位データ $D'_L$ はオーバーフローによつて3ビットとなるので、オーバーフローの1ビット分は上位ビット $D_u$ へ桁上げすればよい。この処理は論理回路27によつて簡単に実現できる。逆に上

位コンパレータ16により、正しくはスイッチ群23を選択すべきところをスイッチ群24が選択されてしまったとする。この場合でも入力電圧 $V_{in}$ が $P_2$ 点の端子電圧以上であれば基準分圧電圧との比較は有効になされ、正しいデジタル変換値を得ることができる。この場合、下位データ $D'_L$ はアンダフロー（負数）によつて3ビット表示されるので、論理回路27によつて上位2ビットデータ $D_U$ と下位3ビットデータ $D'_L$ を簡単に加算あるいは減算すればデジタル変換値 $D$ が得られる。

【発明の効果】

以上述べたように本発明によれば、直並列形のA/D変換器において、上位ビットと下位ビット変換の間の回路動

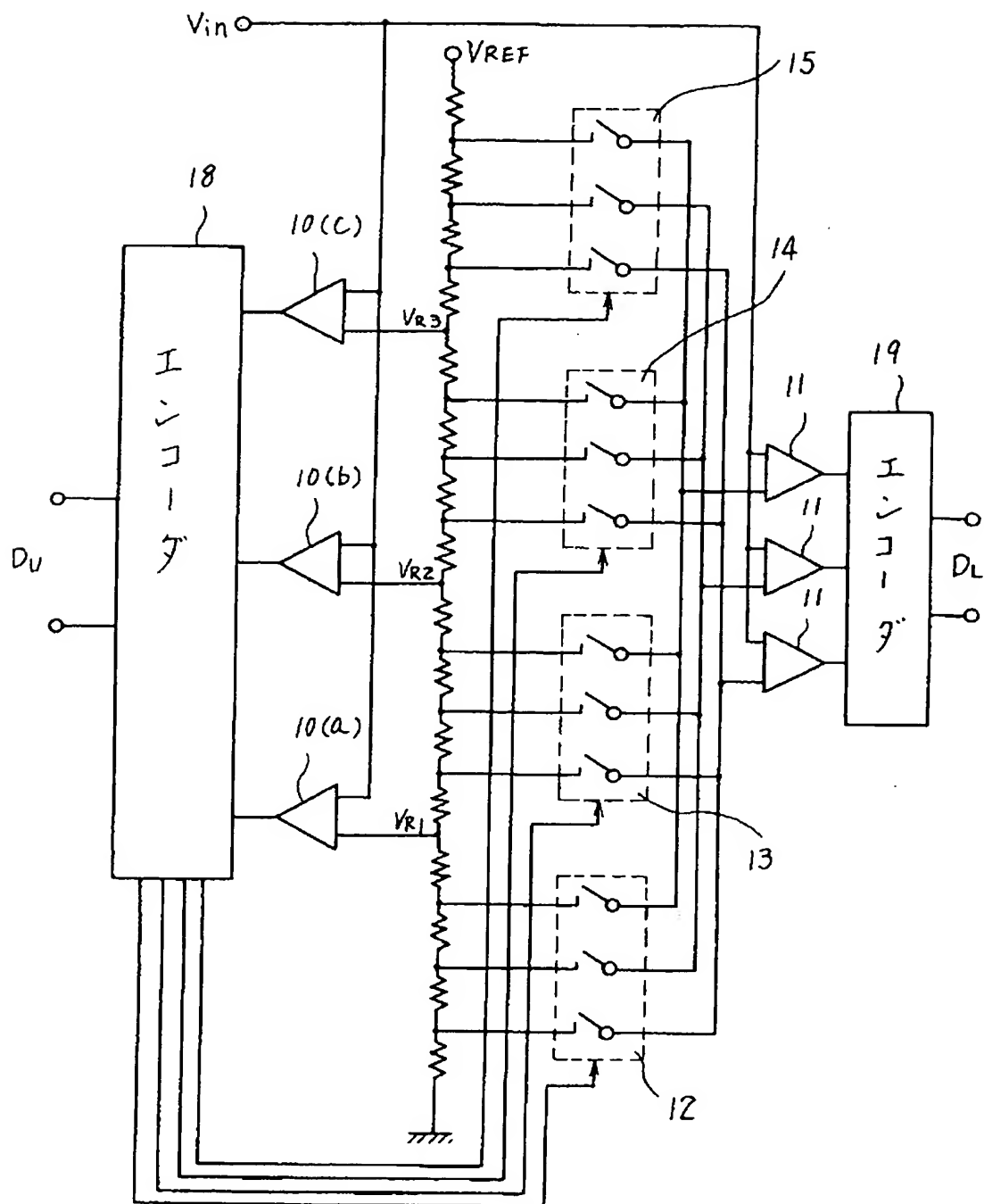
作上のミスマッチを防ぐことができ、高精度で誤動作の起きない高速なA/D変換器を集積回路化できる。また回路構成が完全で回路規模も小さく高分解能の高速A/D変換器を小面積で実現でき、消費電力も小さいなど性能面や経済面でその効果は大である。

【図面の簡単な説明】

第1図は従来の直並列形A/D変換器の回路構成を示す図、第2図(a)、(b)はそれぞれ本発明のA/D変換器の回路構成例およびタイムチャートを示す図である。第3図は本発明のA/D変換器の他の回路構成例である。

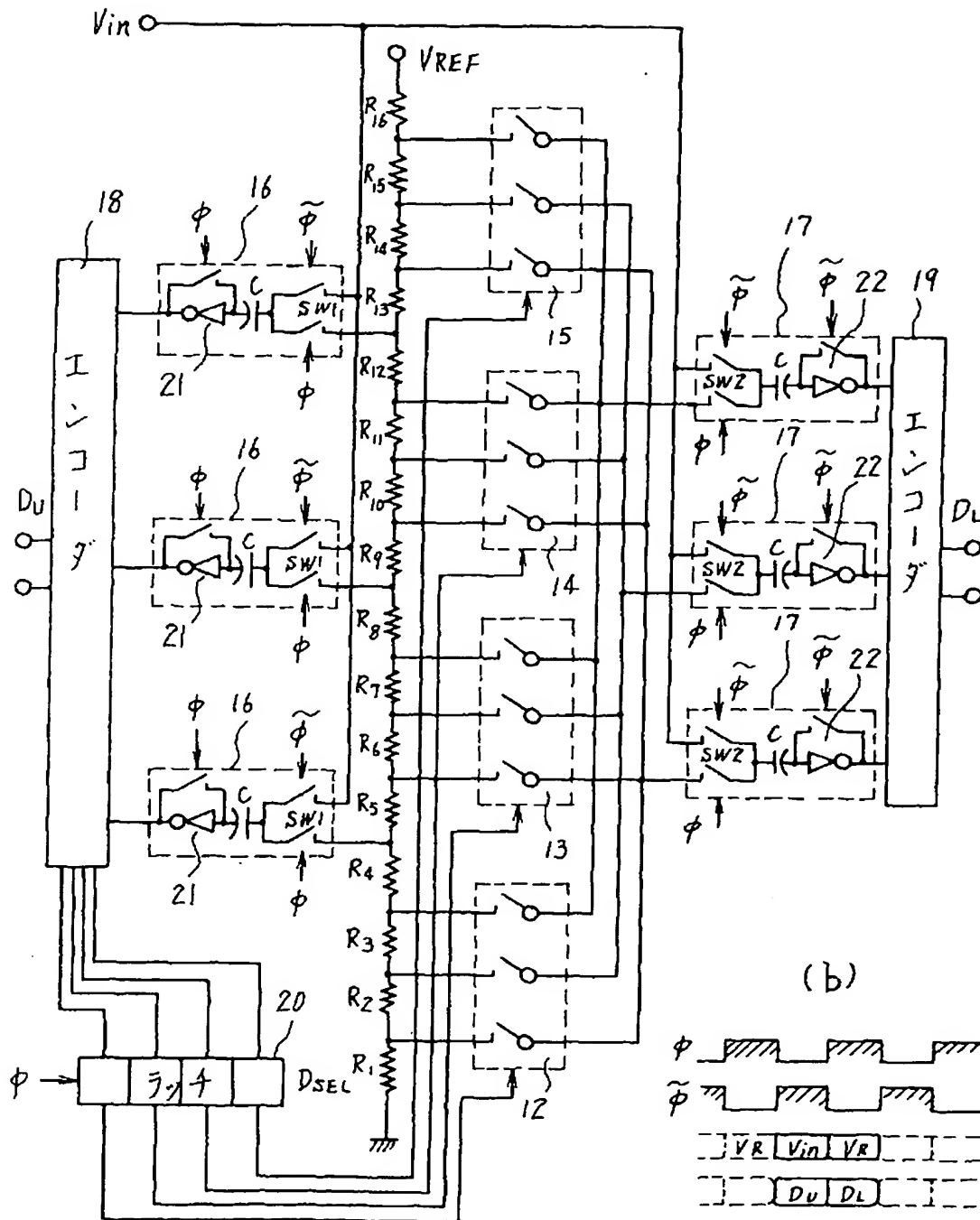
10 10, 11……コンパレータ、12～15……スイッチ群、21, 22……インバータ、23～26……スイッチ群。

【第1図】

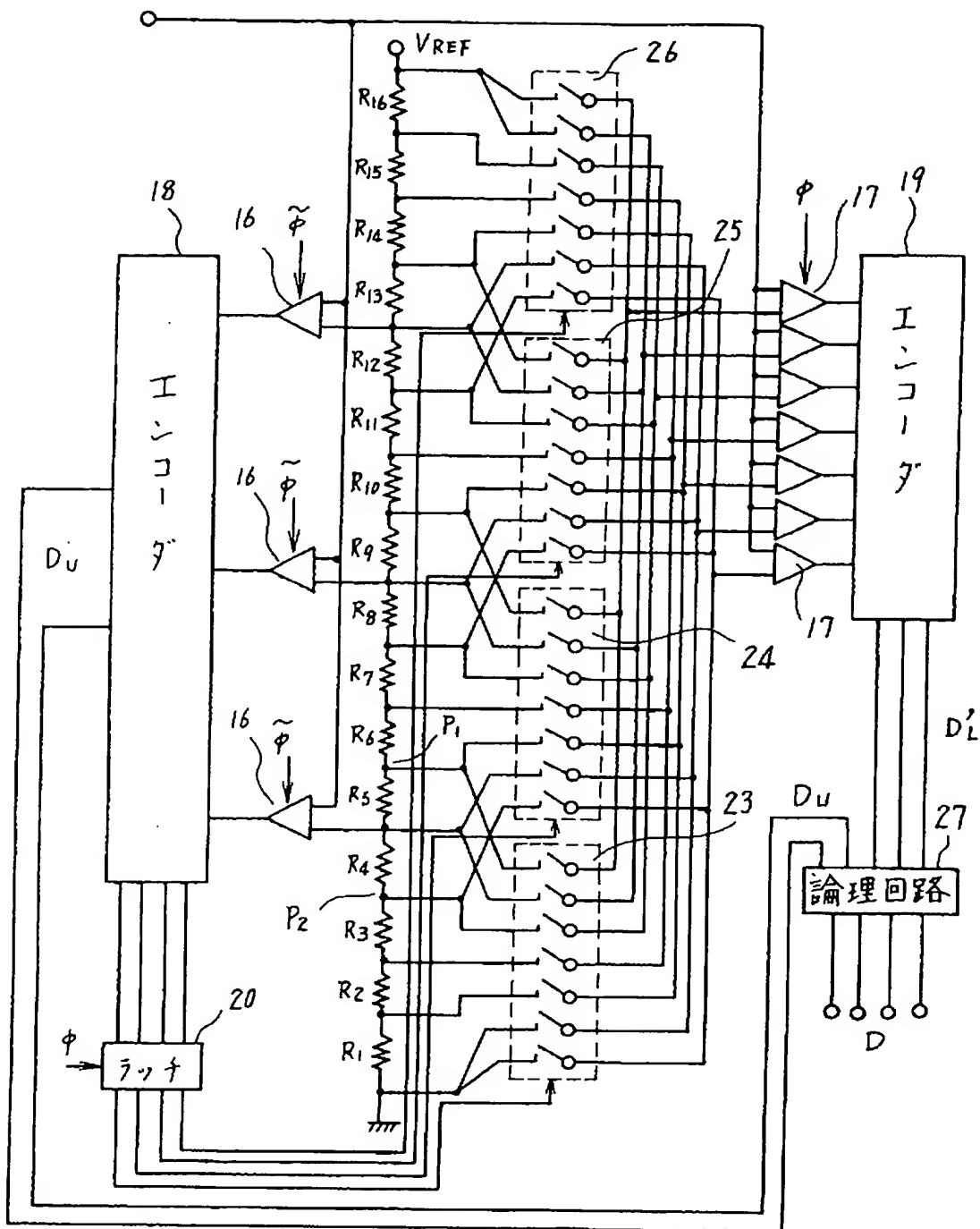


【第2図】

(a)



【第3図】



フロントページの続き

(72)発明者 今泉 栄亀

東京都小平市上水本町1479番地 日立マイ  
クロコンピュータエンジニアリング株式会  
社内

(56)参考文献 特開 昭57-131123 (J P, A)  
特開 昭56-164628 (J P, A)